



## 多重トレンチ構造を用いたオンチップ絶縁デバイスの解析モデルとその実証に関する研究

著者	武内 勇介
号	60
学位授与機関	Tohoku University
学位授与番号	工博第5251号
URL	<a href="http://hdl.handle.net/10097/00120582">http://hdl.handle.net/10097/00120582</a>

氏 名	たけうち ゆうすけ
授 与 学 位	武 内 勇 介
学 位 授 与 年 月 日	博士 (工学)
学位授与の根拠法規	平成 28 年 3 月 25 日
研究科, 専攻の名称	学位規則第 4 条第 1 項
学 位 論 文 題 目	東北大学大学院工学研究科 (博士課程) 技術社会システム専攻
	多重トレンチ構造を用いたオンチップ絶縁デバイスの解析モデルと その実証に関する研究
指 導 教 員	東北大学教授 須川 成利
論 文 審 査 委 員	主査 東北大学教授 須川 成利 東北大学教授 長平 彰夫 東北大学教授 高橋 信 東北大学准教授 黒田 理人

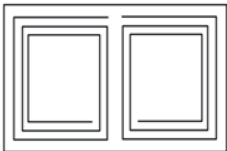
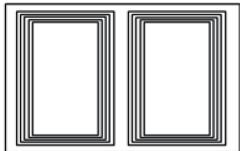
## 論 文 内 容 要 旨

本論文の絶縁デバイスは、スマート社会の核となる M2M システムや IOT システムで屋外機器、高電圧機器に収容されるセンサーや電力機器、ネットワーク等の過酷な環境下で使用される電子部品と、マイクロコンピュータやマン・マシンインタフェースなどの低電圧で動作する電子部品の間に置かれ、高電圧システムからの電気ショックやサージ電流、グラウンドノイズを阻止し、低電圧システムの信頼性を確保する重要なデバイスである。今後、あらゆる機器にセンサーが使われる様になると、絶縁デバイスのニーズも高まり、コンパクトながら高耐圧、高信頼度、低価格への要求が高まると予想される。本研究はこの様な潮流を踏まえ、シリコンチップ上にセンサー、絶縁デバイス、処理回路を集積する技術の先行開発に関するものである。本研究では、SOI 基板に多重トレンチアイソレーションを組み合わせたデバイスを想定している。絶縁機能には高い絶縁抵抗特性を有するものと高い絶縁耐圧特性を有するものがあり、前者にはトレンチギャップに沿って電流が流れるスパイラル型多重トレンチ構造があり、後者にはトレンチギャップに直接電圧が掛かり耐圧を確保する同心型トレンチ構造がある。本研究は、これらのデバイスについて、高電圧印加時の動作解析、解析モデルの考察と提案、目標仕様を達成するデバイス構造の考察、実験による実証に関するもので、本論文は4つの章から構成されている。

第1章は、序論である。本研究では、多重トレンチギャップ構造での絶縁性能実現の指針を示すため、絶縁抵抗と絶縁耐圧の2つのアプローチで実現性を考察する。表1に其々の絶縁方法に対応する多重トレンチギャップ構造の絶縁デバイスとそれを用いた場合の絶縁特性実現のアプローチについて示した。目標の絶縁耐圧は4kV以上、絶縁抵抗は500MΩ以上である。絶縁には電位勾配を平準化する方法と高抵抗材料を用いる方法があり、これらを生かす構造として、電流経路が一筆書きレイアウトでトンネル電流やリーク電流経路が絶縁体を跨らないスパイラル型トレンチ構造と、電流経路がトレンチを跨らない、多重同心型トレンチ構造の2種について考察した。前者については製造工程が容易で、電位勾配がスパイラルに沿った方向で長く取れるので、出に勾配を緩やかにできる特徴がある。一方、後者については、やや構造が複雑であり、電位勾配がトレンチに掛かる分担電圧とな

り、比較的短い距離での耐圧確保が必要なため、絶縁抵抗は高いが電位勾配は高くなるといった特徴がある。本研究はこの2種類の構造について、絶縁特性に影響が大きなデバイスパラメーターの考察を通じて、その特性を向上する指針、並びに目標仕様を実現する指針を示すものである。このためには集積化に関わる寄生素子の影響の適正見積もりが最大の課題であり、特にセンサーの様なノイズに敏感な素子に関してはその抑制が大変重要である。今回の研究では、解析モデルの構築過程で、この寄生素子の影響を検討するため、そこで得られた指針は、更なる集積化としての3次元実装にも大きく貢献できるものと考えられる。特に、序論で触れたセンサーハブ、センサーフュージョンという機能部品では集積化の進展により、高感度なセンサーと数万ゲートから数10万ゲート規模の論理素子、通信インタフェース、電源の集積化がターゲットに入る。この様な、流れに対し、本研究の位置付けとして、今後、3次元デバイスでの絶縁デバイスの集積化やMEMSの集積化、シリコン以外の材料含み構造設計に展開可能な指針を提案するものと言える。以上から、今後、M2Mシステム、IoTシステムなどで用いられるセンサーのスマート化に向けたオンチップ絶縁デバイスの実現に向け大きく貢献できる研究と考えている。

表1 絶縁方法と考察対象のデバイスの構造

絶縁機能	1) 絶縁耐圧の確保 ( $> 4kV_{op}$ ) 2) 絶縁抵抗の確保 ( $> 500M\Omega$ )	
絶縁方法	1) 電位勾配を平準化して、電界の集中を避ける 2) 高抵抗材料を用いる	
絶縁方針	半導体(SOI)で絶縁抵抗確保	トレンチギャップで絶縁耐圧確保
デバイス構造	スパイラル型(第2章)	同心型(第3章)
レイアウト形状		
特長	1) 製造工程が簡単 2) 電位勾配がスパイラル方向(トレンチに並行で長い) 3) 電位勾配を緩やかにできる	1) 構造が複雑 2) 電位勾配がトレンチ分担電圧(トレンチを横断で短い) 3) 絶縁抵抗高いが、電位勾配大

第2章は、スパイラル型多重トレンチ絶縁構造の絶縁デバイスについての検討結果を論じている。本構造は、絶縁する2つの回路領域の間を多重トレンチギャップで挟まれたSOIの領域がスパイラル状にレイアウトされ、ここを流れる電流が絶縁抵抗を決めている点に特徴がある。絶縁領域間にしきい値電圧よりはるかに大きな1000V程度の電圧が印加される想定で、絶縁抵抗を決めるリーク電流の原因が、BOXとSOI界面の蓄積、反転状態で発生するホールと電子がチップ上の中間地点で発生する再結合電流であるとする解析モデルを想定した。この解析モデルを、実験結果による、実効移動度でフィッティングし、絶縁抵抗を高く確保するための指針を考察した。結果、スパイラル長=151.2mm x 2(領域分)、SOI幅=1 $\mu$ m程度で4,000V程度の耐圧が確保出来る見通しを得た。一方で、スパイラル経路を流れる電流が再結合電流である事、また、この電流値が想定外に大きく、絶縁抵抗を確保するためにはスパイラルを長くする必要があるため、結果チップサイズ増大を招き、コンパクト化に課題がある事が判明した。また、再結合電流が抵抗値を決める事から、サージノイズ等への応答が遅いなどの理由で実現上の制約がある事が判明した。

第3章では、同心型多重トレンチ絶縁構造を用いた絶縁デバイスについての検討結果を論じている。本構造は、チップ上の2つの回路領域が同心状の多重トレンチで囲まれており、多重トレンチに掛かる電圧勾配の合計電圧が絶縁耐圧となる。トレンチギャップのインピーダンスと寄生素子を考慮して、高電圧が掛かった場合の個々のトレンチギャップに掛かる電位勾配を解析しモデル化した。この解析モデルを用い絶縁耐圧の考察を行なった結果、多重トレンチの両端のトレンチギャップに過大な電圧が掛かり、内部の電位勾配が平準化されないため絶縁耐圧が低下する事が判明した。実験による検証で、この解析モデルが正しい事が証明された。この解析モデルを用いた考察にて、耐圧改善には、電位を平準化する抵抗が必要である事が判明し、高抵抗化に適したPoly-Siを絶縁抵抗とする電位勾配の平準化で4kV<sub>op</sub>の耐圧を確認した。更にBOXを厚くする事で、8kV<sub>op</sub>の絶縁耐圧が確保できる見通しを得た。

第4章では結論である。図1に本研究のまとめとして、絶縁耐圧、絶縁抵抗の改善状況を示す。第3章の同心型多重トレンチ構造の効果については、絶縁抵抗は高くできるが、電圧勾配が高くなる場所があり絶縁耐圧を高くできなかった。そこで第2章の成果と課題を鑑み、Poly-Si抵抗(反転、蓄積が起こらない)を利用して電圧勾配の平準化効果を同心型に適用する事で絶縁抵抗と絶縁耐圧の両立を図り効果を得た。最後にBOXの膜厚を、厚膜化する事で、更に絶縁耐圧の向上が得られることが判明した。本論文において、同心型の多重トレンチ構造が、Poly-Siの抵抗で電位勾配の平準化が可能な事を示し、これにより4kV<sub>op</sub>から8kV<sub>op</sub>の範囲のオンチップ絶縁構造を実現できることが示された。絶縁耐圧は多重トレンチの本数とBOXの膜厚で調整でき、絶縁抵抗はトレンチギャップの加工とは独立に抵抗体としてのPoly-Siのサイズや堆積時のドーピング量で調整できることも大きな特徴といえる。これらの技術により、マイクロコンピュータ、メモリ、などの低電圧で動作する半導体集積回路と高電圧、あるいはノイズ環境下で使われるセンサー、ドライバー、インタフェース、電源回路などのアナ

ログフロントエンド回路を互いに絶縁分離し、数 mm 角程度のチップの中に集積する事が可能となる。本研究の成果は、M2M システムや IOT システムにおいて、近年次第に重要になりつつある、センサーハブやセンサーフュージョンと言われる機能を、よりコンパクトに、より低コストで実現するスマートセンサーへの応用展開が期待される。

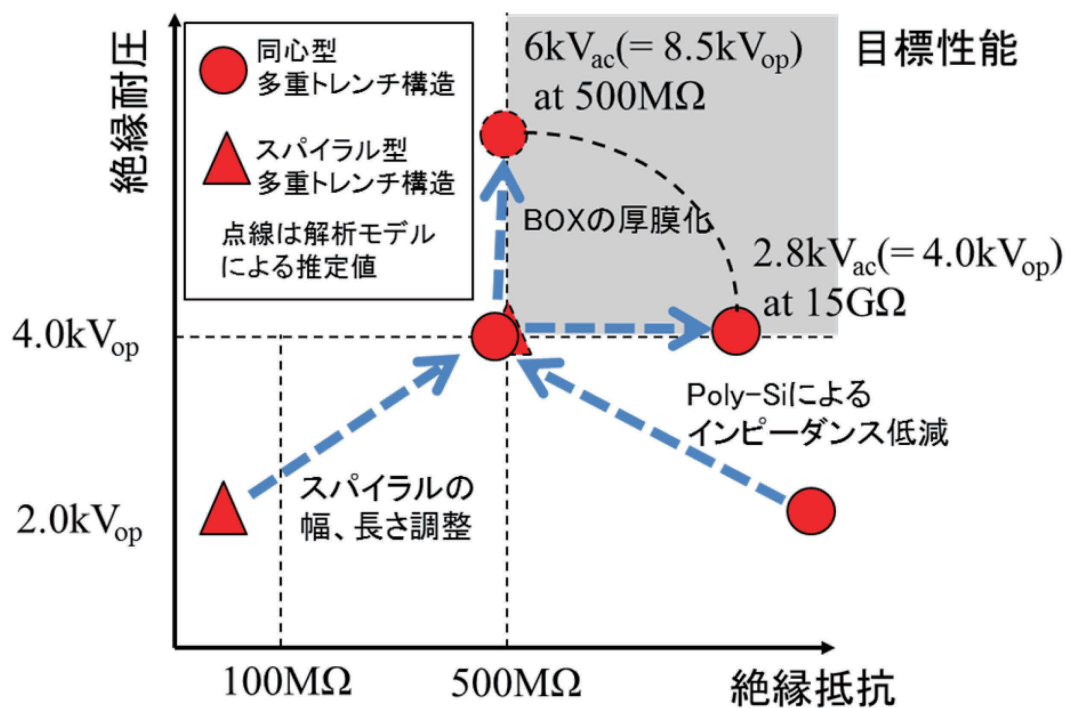


図1 絶縁耐圧、絶縁抵抗の改善状況

# 論文審査結果の要旨

センサ・ネットワーク社会の核となる機器同士の自律的通信・制御システムの構築やモノのインタネット化の進展に伴い、様々な機器に、使用電圧環境の異なる複数のセンサや通信回路、マイクロコンピュータ等の集積回路が一体化されて組み込まれるようになってきた。そこでは、高電圧システムからの電気ショックやサージ電流、グラウンドノイズを阻止し、低電圧システムの集積回路の信頼性を確保するための 1kV を超える高耐圧の絶縁デバイスが設けられるが、従来の技術では絶縁分離部、高耐圧モジュール、低耐圧モジュールの 3 チップ構成で絶縁デバイスが構成されており、小型化、低コスト化が課題であった。本論文は、こうした背景に鑑み、電圧環境の異なる複数の集積回路を同一チップ上に小型・低コストで集積化するために Silicon-On-Insulator (SOI) 基板上に形成された多重トレンチ構造を用いたオンチップ絶縁デバイスの耐圧・抵抗の解析モデルを構築し、4kV、500M $\Omega$  以上の高耐圧化、高抵抗化に適用した成果をまとめたものであり、全文 4 章からなる。

第 1 章は、序論である。

第 2 章では、スパイラル型多重トレンチ絶縁構造を用いたオンチップ絶縁デバイスについて、その耐圧・抵抗値をレイアウト・構造パラメータから精度よく再現・予想可能な解析モデルの構築を行い、試作素子の特性と解析モデルに基づく高抵抗化の方策をまとめている。解析モデルに、SOI 層と埋め込み酸化膜との界面付近に反転層、蓄積層が形成され、寄生 Metal-Oxide-Silicon Field-Effect-Transistor (MOSFET) 化する効果を取り入れ、反転層、蓄積層のキャリアの実効モビリティを抽出することで精度よく試作素子の抵抗値の印加電圧依存性を再現出来ることを明らかにしている。埋め込み酸化膜厚 3 $\mu\text{m}$ 、抵抗率 10 $\Omega\text{cm}$  の p 型 SOI 基板を用いた試作素子において、絶縁分離された 2 つの領域をスパイラル型の SOI 領域を抵抗体として接続することで得られる印加電圧の平準的な分散効果により、2.0kV の絶縁耐圧が得られているものの、寄生 MOSFET が駆動する電流によって抵抗値が 25M $\Omega$  と低く、さらなる高抵抗化にはスパイラルの巻数を増加させることが必要であることを明らかにしている。これは重要な成果である。

第 3 章では、同心型多重トレンチ絶縁構造を用いたオンチップ絶縁デバイスについて、インピーダンス解析モデルの構築を行い、試作素子の特性と解析モデルに基づく耐圧・抵抗の最適化の結果をまとめている。トレンチ絶縁層、SOI 層、埋め込み酸化膜、支持基板のインピーダンスを取り入れたモデルを構築し、試作素子の耐圧測定値の再現に成功している。構築した解析モデルを用いて同心円多重トレンチの各領域の電圧を算出した結果、両端のトレンチギャップに過大な電圧が印加されることを明らかにしている。第 2 章で述べた印加電圧の平準的な分散効果を用いるために、反転、蓄積の効果が小さいポリシリコン抵抗を用いて同心円多重トレンチの各部を接続する構造を提案し、通信制御用集積回路システムが作り込まれた SOI 基板に本絶縁デバイスを形成した試作素子において 4kV の絶縁耐圧と 500M $\Omega$  の抵抗値とが同時に得られていることを実証している。また、埋め込み酸化膜厚を 6 $\mu\text{m}$  まで厚膜化することで 8kV の高耐圧化ができることを見出している。これは極めて重要かつ有用な成果である。

第 4 章は、結論である。

以上要するに本論文は、電圧環境の異なる複数の集積回路を同一基板上に小型・低コストで集積化するための多重トレンチ構造を用いたオンチップ絶縁デバイスの耐圧・抵抗の解析モデルの開発と、試作素子の 4kV、500M $\Omega$  以上の高耐圧化、高抵抗化に適用した成果をまとめたものであり、半導体工学に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。